

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010056173      \*\*Image available\*\*

WPI Acc No: 1994-323884/199440

Related WPI Acc No: 1996-479641

XRAM Acc No: C95-064612

XRPX Acc No: N95-109974

Method of mfg. semiconductor device - forms monocrystalline silicon from amorphous layer using metal island crystallisation catalyst and is useful for thin film transistors

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME ); SEMICONDUCTOR ENERGY LAB CO LTD (SEME ); SEMICONDUCTOR ENERGY RES CO LTD (SEME )

Inventor: TAKAYAMA T; UOCHI H; ZHANG H; FUKUNAGA T; TAKEMURA Y; MIYANAGA A

Number of Countries: 005    Number of Patents: 017

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week	
TW 226478	A	19940711	TW 93110093	A	19931130	199440	B
US 5403772	A	19950404	US 93160908	A	19931203	199519	
JP 7045519	A	19950214	JP 93204775	A	19930727	199516	
<b>JP 7226373</b>	A	19950822	JP 93329760	A	19931201	199542	
US 5563426	A	19961008	US 93160908	A	19931203	199646	
			US 94341106	A	19941118		
CN 1090426	A	19940803	CN 93121667	A	19931204	199713	
US 5604360	A	19970218	US 93160908	A	19931203	199713	
			US 94248220	A	19940524		
JP 9223670	A	19970826	JP 93204775	A	19930727	199744	
			JP 96356230	A	19930727		
US 5888857	A	19990330	US 93160908	A	19931203	199920	
			US 94341106	A	19941118		
			US 96661013	A	19960610		
KR 9704450	B1	19970327	KR 9326648	A	19931204	199937	
JP 11354813	A	19991224	JP 96356230	A	19930727	200011	N
			JP 99104651	A	19930727		
JP 2000306836	A	20001102	JP 93329760	A	19931201	200061	
			JP 2000108110	A	19931201		
JP 2001060552	A	20010306	JP 99104651	A	19930727	200118	N
			JP 2000223139	A	19930727		
CN 1285611	A	20010228	CN 93121667	A	19931204	200131	
			CN 2000103833	A	19931204		
CN 1152792	A	19970625	CN 93121667	A	19931204	200134	
			CN 96114412	A	19931204		
JP 2001111061	A	20010420	JP 2000223139	A	19930727	200139	N
			JP 2000250453	A	19930727		
JP 3186621	B2	20010711	JP 93204775	A	19930727	200140	
			JP 96356230	A	19930727		

Priority Applications (No Type Date): JP 93298944 A 19931104; JP 92350545 A 19921204; JP 93204775 A 19930727; JP 93147001 A 19930526; JP 96356230 A 19930727; JP 99104651 A 19930727; JP 2000223139 A 19930727; JP 2000250453

A 19930727

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
TW 226478	A			8 H01L-021/335	
US 5403772	A			23 H01L-021/20	
JP 7045519	A			11 H01L-021/20	
JP 7226373	A			18 H01L-021/20	
US 5563426	A			21 H01L-029/76	Div ex application US 93160908 Div ex patent US 5403772
CN 1090426	A			H01L-021/324	
US 5604360	A			16 H01L-029/04	CIP of application US 93160908 CIP of patent US 5403772
JP 9223670	A			11 H01L-021/20	Div ex application JP 93204775
US 5888857	A			H01L-021/00	Div ex application US 93160908 Div ex application US 94341106 Div ex patent US 5403772 Div ex patent US 5563426
KR 9704450	B1			H01L-021/334	
JP 11354813	A			11 H01L-029/786	Div ex application JP 96356230
JP 2000306836	A			17 H01L-021/20	Div ex application JP 93329760
JP 2001060552	A			13 H01L-021/20	Div ex application JP 99104651
CN 1285611	A			H01L-021/00	Div ex application CN 93121667
CN 1152792	A			H01L-021/00	Div ex application CN 93121667
JP 2001111061	A			11 H01L-029/786	Div ex application JP 2000223139
JP 3186621	B2			12 H01L-021/20	Div ex application JP 93204775 Previous Publ. patent JP 9223670

Abstract (Basic): TW 226478 A

A crystalline silicon film is obtained by selectively forming films, particles or clusters containing nickel, iron, cobalt, ruthenium, rhodium, paradium, osmium, iridium, platinum, sacndium, titanium, vanadium, chrome, manganese, copper, zinc, gold, silver or their silicides in the form of island, line, stripe, dot or film on or under an amorphous silicon film and using them as a starting point, by advancing crystallisation by annealing at a temp. lower than the normal crystallisation temp. of an amorphous silicon.

ADVANTAGE - A transistor whose leak current is low and a transistor in which mobility is high are obtained at the same time in the structuring and a dynamic circuit having a thin film transistor by selectively forming a cover film on a semiconductor layer which is to become an active layer of the transistor and by thermally crystallising afterwards.

Dwg.1/11

US 5403772 A

A method of mfg. a semiconductor device comprises selectively forming a catalyst (2) on a substrate (1A), forming an a-Si film (1) on the substrate in contact with the catalyst, and annealing in an atmos. contg. at least one of O<sub>2</sub>, H<sub>2</sub> and N<sub>2</sub>. This crystallises the a-Si film. Also claimed is a method as above in which the catalyst is Ni or other transition metal and the Si film is patterned into an island

after annealing. Further claimed is a method as above in which the catalyst is formed after the a-Si film.

Also claimed is a method as above in which the a-Si is mask coated and this coat patterned before a catalyst coating is formed, annealing forms a silicide layer, the coating is removed, an annealing crystallises the Si laterally adjacent to the silicide.

Further claimed is a method as above in which the Si film is formed over the catalyst, annealed, and then partly etched.

Also claimed is a method in which a gate insulating film and gate electrode are formed on the crystallised film and dopant diffused in using a gate mask.

Further claimed is a method as above of mfg. a CMOS device in which the semiconductor film is formed only on a driving circuit of a PMOS.

Also claimed is a method as above for mfg. a matrix type device.

USE - For thin film transistors for liq. crystal display devices.

ADVANTAGE - The transistors have low leak current yet high mobility and device area is reduced. Dwg.2B/11

Title Terms: METHOD; MANUFACTURE; SEMICONDUCTOR; DEVICE; FORM; MONOCRYSTAL; SILICON; AMORPHOUS; LAYER; METAL; ISLAND; CRYSTAL; CATALYST; USEFUL; THIN ; FILM; TRANSISTOR

Derwent Class: L03; U11; U14

International Patent Class (Main): H01L-021/00; H01L-021/20; H01L-021/324; H01L-021/334; H01L-021/335; H01L-029/04; H01L-029/76; H01L-029/786

International Patent Class (Additional): C23C-014/34; C23C-014/58;

C30B-029/06; C30B-033/02; H01L-021/02; H01L-021/203; H01L-021/306;

H01L-021/322; H01L-021/336; H01L-021/36; H01L-021/70; H01L-021/84;

H01L-027/01; H01L-027/108; H01L-027/12; H01L-031/036; H01L-031/112

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04933773      \*\*Image available\*\*

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.:      **07-226373** [JP 7226373 A]

PUBLISHED:      August 22, 1995 (19950822)

INVENTOR(s):      CHIYOU KOUYUU

APPLICANT(s):      SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      05-329760 [JP 93329760]

FILED:              December 01, 1993 (19931201)

INTL CLASS:      [6] H01L-021/20; H01L-021/336; H01L-029/786

JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R044 (CHEMISTRY -- Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation); R131 (INFORMATION PROCESSING -- Microcomputers & Microprocessors)

#### ABSTRACT

PURPOSE: To enable conditions under which an active layer is crystallized to be changed by a minimum alternation that a cover film is provided or not by a method wherein an island-like film which contains specific metal elements such as nickel, iron, cobalt, gold, and silver is formed on the underside or the upside of an amorphous silicon film and then annealed at a specific low temperature.

CONSTITUTION: A body which contains at least one of elements such as nickel, iron, cobalt, ruthenium, rhodium, palladium, osmium, iridium, platinum, scandium, titanium, vanadium, chrome, manganese, copper, zinc, gold, and silver is formed on a board 1A. A substantially amorphous silicon film 1 is formed and the board 1A is annealed in an atmosphere of oxygen, nitrogen, or hydrogen, or mixed gas of them or in an atmosphere of gas which is temporally varied in kinds. Then, the silicon film 1 is patterned into islands.

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-226373

(43) 公開日 平成7年(1995)8月22日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/20 21/336 29/786		8418-4M  9056-4M	H 0 1 L 29/ 78	3 1 1 Y
審査請求 未請求 請求項の数22 F D (全 18 頁)				

(21) 出願番号 特願平5-329760

(22) 出願日 平成5年(1993)12月1日

(31) 優先権主張番号 特願平5-298944

(32) 優先日 平5(1993)11月4日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平4-350545

(32) 優先日 平4(1992)12月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

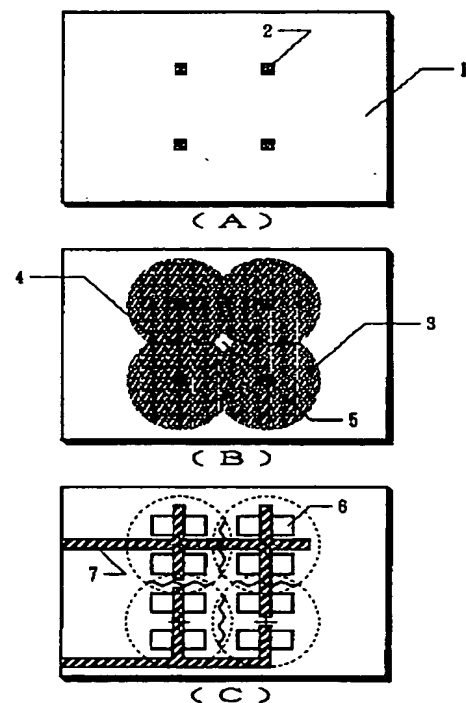
導体エネルギー研究所内

## (54) 【発明の名称】 半導体装置の製造方法

## (57) 【要約】

【目的】 実質的にアモルファス状態のシリコン膜を通常のアモルファスシリコンの結晶化温度より低い温度でのアニールによって結晶化させ、薄膜トランジスタ等の半導体素子を作製する方法を提供する。

【構成】 アモルファスシリコン膜の上もしくは下に選択的に島状、線状、ストライプ状、ドット状、膜状のニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガ、銅、亜鉛、金、銀もしくはそれらの珪化物等を有する被膜、粒子、クラスター等を形成し、通常のアモルファスシリコンの結晶化温度より低い温度でアニールすることによって、これを出発点として結晶化を進展させ、結晶シリコン膜を得る。さらに、この結晶シリコン膜を用いて薄膜トランジスタ等の半導体素子を形成する。



## 1

## 【特許請求の範囲】

【請求項 1】 基板上に選択的にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも 1 つを含有する物体を形成する第 1 の工程と、

前記工程後、実質的にアモルファス状態のシリコン膜を形成する第 2 の工程と、

第 2 の工程の後に酸素、窒素または水素の気体またはその混合ガスの雰囲気、または前記気体を 時間的にその種類を変更して基板をアニールする第 3 の工程と、  
前記シリコン膜を島状にパターニングする第 4 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 において、第 3 の工程の以後に基板をフッ酸もしくは塩酸を含有する酸によって処理する第 4 の工程を有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 において、基板をアニールすることにより、選択的に物体のある領域より横方向に結晶化を  $20 \sim 200 \mu\text{m}$  の幅に成長せしめることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 において、島状にパターニングされたシリコン領域を用いて TFT、ダイオードまたは抵抗を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 5】 基板上に実質的にアモルファス状態のシリコン膜を形成する第 1 の工程と、

前記工程後、選択的にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも 1 つを含有する物体を形成する第 2 の工程と、

第 2 の工程の後に酸素、窒素または水素の気体またはその混合ガスの雰囲気、または前記気体を 時間的にその種類を変更して基板をアニールする第 3 の工程と、  
前記シリコン膜を島状にパターニングする第 4 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 において、第 3 の工程の以後に基板をフッ酸、硝酸もしくは塩酸を含有する酸によって処理する第 4 の工程を有することを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 5 において、基板をアニールすることにより、選択的に物体のある領域より横方向に結晶化を  $20 \sim 200 \mu\text{m}$  の幅に成長せしめることを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 7 において、島状にパターニングされたシリコン領域を用いて TFT、ダイオードまたは抵抗を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 9】 0.01 原子%以上 5 原子%以下の水素

## 2

と、0.0005 原子%以上 1 原子%以下のニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀を有するシリコン膜上に、絶縁膜を介してゲイト電極が設けられていることを特徴とする薄膜トランジスタ。

【請求項 10】 0.01 原子%以上 5 原子%以下の水素と、0.0005 原子%以上 1 原子%以下のニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀を有するシリコン半導体によって構成されたソースおよび/またはドレインを有することを特徴とする薄膜トランジスタ。

【請求項 11】 基板上に実質的にアモルファス状態のシリコン膜を形成する第 1 の工程と、

マスク作用を示す厚さのマスク被膜を形成する第 2 の工程と、

前記マスク被膜をパターニングして、シリコン膜表面を露出せしめる第 3 の工程と、

ニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも 1 つを含有する被膜を形成する第 4 の工程と、

第 4 の工程の後に基板を熱アニールすることによって第 4 の工程によって形成された被膜とシリコン膜を反応させて珪化物層を形成する第 5 の工程と、

第 4 の工程で形成された被膜を除去する第 6 の工程と酸素、窒素または水素の気体またはその混合ガスの雰囲気、または前記気体を時間的にその種類を変更してアニールすることによって前記珪化物層に隣接したシリコン膜を横方向に結晶化させる第 7 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 12】 請求項 11 において、結晶化されたシリコン膜を用いて TFT、ダイオードまたは抵抗を形成する第 8 の工程を有することを特徴とする半導体装置の製造方法。

【請求項 13】 基板上に選択的にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀の少なくとも 1 つを含有する物体を選択的に形成する第 1 の工程と、

前記工程後、実質的にアモルファス状態のシリコン膜を形成する第 2 の工程と、

第 2 の工程の後に基板を酸素、窒素または水素の気体またはその混合ガスの雰囲気、または前記気体を 時間的にその種類を変更してアニールする第 3 の工程と、

前記シリコン膜のうち、第 1 の工程において、選択的に

## 3

物体が形成された領域上の部分をエッチング除去する第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】 請求項13において、第4の工程と同時に、もしくは前後に結晶成長の成長点を含む領域をエッチングすることを特徴とする半導体装置の製造方法。

【請求項15】 基板上に実質的にアモルファス状態のシリコン膜を形成する第1の工程と、

前記工程後、選択的にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガ、銅、亜鉛、金、銀の少なくとも1つを含む物体を選択的に形成する第2の工程と、

第2の工程の後に基板をアニールする第3の工程と、前記シリコン膜のうち、第2の工程において、選択的に物体が形成された領域上の部分をエッチング除去する第4の工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】 請求項15において、第4の工程と同時に、もしくは前後に結晶成長の成長点を含む領域をエッチングすることを特徴とする半導体装置の製造方法。

【請求項17】 基板上に半導体被膜を形成する工程と、前記半導体被膜を覆って選択的にカバー膜を形成する工程と、前記カバー膜を除去する工程と、水素もしくは酸素もしくは窒素を含む雰囲気中で加熱することによって前記半導体被膜を結晶化せしめる工程と、前記半導体被膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体被膜中に不純物元素を拡散せしめる工程とを有することを特徴とする半導体装置の製造方法。

【請求項18】 請求項17において、前記結晶化は水素と窒素の混合雰囲気中で加熱によって、または窒素雰囲気中で $T_1$ 時間の加熱をしその後 $T_2$ 時間酸素または水素雰囲気中で加熱を行なうことによって、または $T_3$ 時間水素を含む雰囲気中で加熱を行いその後 $T_4$ 時間窒素を含む雰囲気中で加熱を行なうことによって行なうことを特徴とする半導体装置の製造方法。

【請求項19】 アクティブマトリクス型装置の作製において、基板上に半導体被膜を形成する工程と、前記半導体被膜のうち、マトリクス装置の駆動回路領域にのみ選択的にカバー膜を形成する工程と、水素もしくは酸素もしくは窒素を含む雰囲気中で加熱することによって前記半導体被膜を結晶化せしめる工程と、を有することを特徴とするマトリクス型装置の製造方法。

【請求項20】 請求項19において、前記結晶化は水素と窒素の混合雰囲気中で加熱によって、または窒素雰囲気中で $T_1$ 時間の加熱をしその後 $T_2$ 時間酸素または水素雰囲気中で加熱を行なうことによって、または $T_3$ 時間水素を含む雰囲気中で加熱を行いその後 $T_4$ 時間

## 4

窒素を含む雰囲気中で加熱を行なうことによって行なうことを特徴とする半導体装置の製造方法。

【請求項21】 CMOS型装置の作製において、基板上に半導体被膜を形成する工程と、前記半導体被膜のうち、PMOS装置の駆動回路領域にのみ選択的にカバー膜を形成する工程と、水素もしくは酸素雰囲気中で加熱することによって前記半導体被膜を結晶化せしめる工程と、を有することを特徴とするCMOS型装置の製造方法。

10 【請求項22】 請求項21において、前記結晶化は水素と窒素の混合雰囲気中で加熱によって、または窒素雰囲気中で $T_1$ 時間の加熱をしその後 $T_2$ 時間酸素または水素雰囲気中で加熱を行なうことによって、または $T_3$ 時間水素を含む雰囲気中で加熱を行いその後 $T_4$ 時間窒素を含む雰囲気中で加熱を行なうことによって行なうことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は集積回路の作製方法に関する。具体的には、液晶表示装置やダイナミックRAM (DRAM) のように、マトリクス構造を有し、スイッチング素子としてMOS型もしくはMIS (金属-絶縁体-半導体) 型電界効果型素子 (以上を、MOS型素子と総称する) を有し、ダイナミックな動作をおこなうことを特徴とするマトリクス装置 (電気光学表示装置、半導体メモリ装置を含む)、およびそのための駆動回路、あるいはイメージセンサーのような集積化された駆動回路を有する半導体回路に関する。特に本発明は、MOS型素子として絶縁表面上に形成された薄膜半導体トランジスタ等の薄膜半導体素子を使用する装置に関し、薄膜トランジスタの活性層が結晶性シリコンより形成された薄膜トランジスタを有する装置に関する。

【0002】

【従来の技術】従来、薄膜状の絶縁ゲート型電界効果トランジスタ (TFET) 等の薄膜デバイスに用いられる結晶性シリコン半導体薄膜は、プラズマCVD法や熱CVD法で形成されたアモルファスシリコン膜を電気炉等の装置の中で600℃以上の温度で24時間以上の長時間にわたって結晶化させて作製された。特に十分な特性 (高い電界効果移動度や高い信頼性) を得るためにはより長時間の熱処理が求められていた。

【0003】しかしながら、このような従来の方法は多くの課題を抱えていた。1つはスループットが低く、したがって、コストが高くなることである。例えば、この結晶化工程に24時間の時間を要するものとする、基板1枚当たりの処理時間を2分とすれば720枚の基板を同時に処理しなければならなかった。しかしながら、例えば、通常使用される管状炉では、1度に処理できる基板の枚数は50枚がせいぜいで、1つの装置 (反応管) だけを使用した場合には1枚当たり30分も時間が

50



## 5

かかってしまった。すなわち、1枚当たりの処理時間を2分とするには、反応管を15本も使用しなければならなかった。このことは投資規模が拡大することと、その投資の減価償却が大きく、製品のコストに跳ね返ることを意味していた。

【0004】もう1つの問題は、熱処理の温度であった。通常、TFTの作製に用いられる基板は石英ガラスのような純粋な酸化珪素からなるものと、コーニング社7059番（以下、コーニング7059という）のような無アルカリのホウ珪酸ガラスに大別される。このうち、前者は、耐熱性が優れており、通常の半導体集積回路のウェファープロセスと同じ取扱いができるため、温度に関しては何ら問題がない。しかしながら、そのコストが高く、基板面積の増加と共に指数関数的に急激に増大する。したがって、現在のところ、比較的小面積のTFT集積回路にのみ使用されている。

【0005】一方、無アルカリガラスは、石英に比べればコストは十分に低いが、耐熱性の点で問題があり、一般に歪み点が550～650℃程度、特に入手しやすい材料では600℃以下であるので、600℃の熱処理では基板に不可逆的な収縮やソリという問題が生じた。特に基板が対角10インチを越えるような大きなものでは顕著であった。以上のような理由から、シリコン半導体膜の結晶化に関しては、550℃以下、4時間以内という熱処理条件がコスト削減に不可欠とされていた。本発明はこのような条件をクリアする半導体の作製方法および、そのような半導体を用いた半導体装置の作製方法を提供することを目的とする。

【0006】最近、絶縁基板上に、薄膜状の活性層（活性領域ともいう）を有する絶縁ゲイト型の半導体装置の研究がなされている。特に、薄膜状の絶縁ゲイトトランジスタ、いわゆる薄膜トランジスタ（TFT）が熱心に研究されている。これらは、透明な絶縁基板上に形成され、マトリクス構造を有する液晶等の表示装置において、各画素の制御に利用すること、およびそのマトリクスの駆動に利用すること、あるいは同じく絶縁基板上に形成されたイメージセンサーの駆動回路に利用することが目的であり、利用する半導体の材料・結晶状態によって、アモルファスシリコンTFTや結晶性シリコン（多結晶シリコンともいう）TFTというように区別されている。

【0007】最近では結晶性シリコンとアモルファスの中間的な状態を呈する材料も利用する研究がなされている。中間的な状態については議論がなされているが、本明細書では、何らかの熱的プロセス（例えば、450℃以上の温度での熱アニールやレーザー光等の強力なエネルギーを照射すること）によって何らかの結晶状態に達したものを全て結晶性シリコンと称することとする。

【0008】また、単結晶シリコン集積回路においても、いわゆるSOI技術として結晶性シリコンTFTが

## 6

用いられており、これは例えば高集積度SRAMにおいて、負荷トランジスタとして使用される。但し、この場合には、アモルファスシリコンTFTはほとんど使用されない。

【0009】さらに、絶縁基板上の半導体回路では、基板と配線との容量結合がないため、非常な高速動作が可能であり、超高速マイクロプロセッサや超高速メモリーとして利用する技術が提案されている。

【0010】一般にアモルファス状態の半導体の電界移動度は小さく、したがって、高速動作が要求されるTFTには利用できない。また、アモルファスシリコンでは、P型の電界移動度は著しく小さいので、Pチャネル型のTFT（PMOSのTFT）を作製することができず、したがって、Nチャネル型TFT（NMOSのTFT）と組み合わせて、相補型のMOS回路（CMOS）を形成することができない。

【0011】しかしながら、アモルファス半導体によって形成したTFTはOFF電流が小さいという特徴を持つ。そこで、マトリクス規模の小さい液晶ディスプレイのアクティブマトリクスのトランジスタのように、それほど高速動作が要求されず、一つの導電型だけで十分であり、かつ、電荷保持能力の高いTFTが必要とされる用途に利用されている。しかしながら、より高度な応用、例えば、大規模マトリクスの液晶ディスプレイにはアモルファスシリコンTFTを利用することは困難であった。また、当然のことながら、高速動作が要求されるディスプレイの周辺回路やイメージセンサーの駆動回路には利用できなかった。また、同じくマトリクス構成であるとはいえ、半導体メモリー装置に利用することも困難であった。

【0012】一方、結晶性半導体は、アモルファス半導体よりも電界移動度が大きく、したがって、高速動作が可能である。例えば、レーザーアニールによって再結晶化させたシリコン膜を用いたTFTでは、電界移動度として $300\text{ cm}^2/\text{Vs}$ もの値が得られている。通常の単結晶シリコン基板上に形成されたMOSTランジスタの電界移動度が $500\text{ cm}^2/\text{Vs}$ 程度であることからすると、極めて大きな値であり、単結晶シリコン上のMOS回路が基板と配線間の寄生容量によって、動作速度が制限されるのに対して、絶縁基板上であるのでそのような制約は何ら無く、著しい高速動作が期待されている。

【0013】また、結晶性シリコンでは、NMOSのTFTだけでなく、PMOSのTFTも同様に得られるのでCMOS回路を形成することが可能で、例えば、アクティブマトリクス方式の液晶表示装置においては、アクティブマトリクス部分のみならず、周辺回路（ドライバ等）をもCMOSの結晶性シリコンTFTで構成する、いわゆるモノリシック構造を有するものが知られている。前述のSRAMに使用されるTFTもこの点に注

目したものであり、PMOSをTFETで構成し、これを負荷トランジスタとしている。

【0014】また、通常のアモルファスTFETにおいては、単結晶IC技術で 사용되는ようなセルフアラインプロセスによってソース/ドレイン領域を形成することは困難であり、ゲート電極とソース/ドレイン領域の幾何学的な重なりによる寄生容量が問題となるのに対し、結晶性シリコンTFETはセルフアラインプロセスが採用できるため、寄生容量が著しく抑えられるという特徴を持つ。

【0015】しかしながら、結晶性シリコンTFETはゲイトに電圧が印加されていないとき（非選択時）のリーク電流がアモルファスシリコンTFETに比べて大きく、液晶ディスプレイで使用するには、このリーク電流を補うための補助容量を設け、さらにTFETを2段直列にしてリーク電流を減じるという手段が講じられた。

【0016】例えば、アモルファスシリコンTFETの高いOFF抵抗を利用し、なおかつ、同一基板上にモノリシックに高い移動度を有するポリシリコンTFETの周辺回路を形成しようとすれば、アモルファスシリコンを形成して、これに選択的にレーザーを照射して、周辺回路のみを結晶化せしめるという方法が提案されている。

【0017】しかしながら、現在のところ、レーザー照射プロセスの信頼性の問題（例えば、照射エネルギーの面内均一性が悪い等）から歩留りが低く、結局のところ、マトリクスをアモルファスシリコンTFETで構成し、駆動回路は単結晶集積回路をTAB法等によって接続するという方法が採用されている。しかし、この方法では、接続の物理的な制約から画素ピッチが0.1mm以上必要であり、コストもかかった。

【0018】本発明はこのような困難な課題に対して解答を与えんとするものであるが、そのためにプロセスが複雑化し、歩留り低下やコスト上昇を招くことは望ましくない。本発明の主旨とするところは、高移動度が要求されるTFETと低リーク電流が要求されるTFETという2種類のTFETを最小限のプロセスの変更によって、量産性を維持しつつ、容易に作り分けることにある。

【0019】また、本発明では、CMOS回路において、NMOSとPMOSの移動度の違いを減らすことも解決すべき課題とする。NMOSとPMOSの移動度の差が小さくなることによって回路設計の自由度を増やすことができる。

【0020】本発明の適用される半導体回路は普遍的なものではない。本発明は、特に液晶表示装置等の電界の効果によって光の透過性や反射性が変化する材料を利用し、対向する電極の間にこれらの材料をはさみ、対向電極の間に電界をかけて、画像表示をおこなうためのアクティブマトリクス回路や、DRAMのようなキャパシタに電荷を蓄積することによって記憶を保持するメモリ装置や、同じくMOSTランジスタのMOS構造部をキ

ャパシタとして、あるいはその他のキャパシタによって、次段の回路を駆動するダイナミックシフトレジスタのようなダイナミック回路を有する回路、さらには、イメージセンサーの駆動回路のようなデジタル回路とアナログ的な信号出力を制御する回路とを有する回路等に適用している。特に、ダイナミック回路とスタティック回路の混載された回路に適した発明である。

【0021】

【課題を解決するための手段】本発明は、アモルファス状態、もしくは実質的にアモルファス状態と言えるような乱雑な結晶状態（例えば、結晶性のよい部分とアモルファスの部分が混在しているような状態）にあるシリコン膜の上もしくは下にニッケル、鉄、コバルト、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、白金、スカンジウム、チタン、バナジウム、クロム、マンガン、銅、亜鉛、金、銀を含有する島状の膜やドット、粒子、クラスター、線等を形成し、これを通常のアモルファスシリコンの単なる熱処理による結晶化温度よりも低い温度で、また、より短時間のアニールをすることによって結晶性シリコン膜を得ることを特徴とする。このアニールは、水素または酸素または窒素雰囲気中で行うことができる。このアニールは、（1）A時間酸素を含む雰囲気中で加熱を行いその後B時間水素を含む雰囲気中で加熱を行なう。（2）C時間酸素を含む雰囲気中で加熱を行いその後D時間窒素を含む雰囲気中で加熱を行なう。（3）E時間水素を含む雰囲気中で加熱を行いその後F時間酸素を含む雰囲気中で加熱を行なう。（4）G時間水素を含む雰囲気中で加熱を行いその後H時間窒素を含む雰囲気中で加熱を行なう。（5）I時間窒素を含む雰囲気中で加熱を行いその後J時間酸素を含む雰囲気中で加熱を行なう。（6）K時間窒素を含む雰囲気中で加熱を行いその後L時間水素を含む雰囲気中で加熱を行なう。（7）M時間酸素を含む雰囲気中で加熱を行いその後N時間水素を含む雰囲気中で加熱を行ないその後P時間窒素を含む雰囲気中で加熱を行なう。（8）Q時間酸素を含む雰囲気中で加熱を行いその後R時間窒素を含む雰囲気中で加熱を行ないその後S時間水素を含む雰囲気中で加熱を行なう。（9）T時間水素を含む雰囲気中で加熱を行いその後U時間酸素を含む雰囲気中で加熱を行ないその後V時間窒素を含む雰囲気中で加熱を行なう。（10）W時間水素を含む雰囲気中で加熱を行いその後X時間窒素を含む雰囲気中で加熱を行ないその後Y時間酸素を含む雰囲気中で加熱を行なう。

（11）Z時間窒素を含む雰囲気中で加熱を行いその後A'時間酸素を含む雰囲気中で加熱を行ないその後B'時間水素を含む雰囲気中で加熱を行なう。または、（12）C'時間窒素を含む雰囲気中で加熱を行いその後D'時間水素を含む雰囲気中で加熱を行ないその後E'時間酸素を含む雰囲気中で加熱を行なう。前記アニールの後、結晶性シリコン膜をパターニングして、島状結晶

10

20

30

40

50

性シリコン領域を形成し、この島状領域を用いてTF T、ダイオードまたは抵抗を形成することができる。

【0022】従来のシリコン膜の結晶化に関しては、結晶性の島状の膜を核として、これを種結晶として固相エピタキシャル成長させる方法（例えば、特開平1-214110等）が提案されている。しかしながら、このような方法では、600℃以下の温度ではほとんど結晶成長が進行しなかった。シリコン系においては、一般にアモルファス状態から結晶状態に移行するには、アモルファス状態にある分子鎖を分断し、しかもその分断された分子が、再び他の分子と結合しないような状態としたうえで、何らかの結晶性の分子に合わせて、分子を結晶の一部に組み換えるという過程を経る。しかしながら、この過程のなかで、最初の分子鎖を分断して、他の分子と結合しない状態に保持するためのエネルギーが大きく、結晶化反応においてはここが障壁となっている。このエネルギーを与えるには、1000℃程度の温度で数分、もしくは600℃程度の温度では数10時間が必要であり、時間は温度（＝エネルギー）に指数関数的に依存するので、600℃以下、例えば、550℃では、結晶化反応が進行することはほとんど観測できなかった。従来の固相エピタキシャル結晶化の考えも、この問題に対する解答を与えたものではなかった。

【0023】本発明人は、従来の固相結晶化の考えとは全く別に、何らかの触媒作用によって、前記の過程の障壁エネルギーを低下させることを考えた。本発明人はニッケル（元素記号Ni）、鉄（Fe）、コバルト（Co）、ルテニウム（Ru）、ロジウム（Rh）、パラジウム（Pd）、オスミウム（Os）、イリジウム（Ir）、白金（Pt）、スカンジウム（Sc）、チタン（Ti）、バナジウム（V）、クロム（Cr）、マンガ

ン（Mn）、銅（Cu）、亜鉛（Zn）、金（Au）、銀（Ag）がシリコンと結合しやすい。

【0024】例えば、ニッケルの場合、容易に珪化ニッケル（化学式 $\text{NiSi}_x$ 、 $0.4 \leq x \leq 2.5$ ）となり、かつ、珪化ニッケルの格子定数がシリコン結晶のものに近いことに着目した。そこで、結晶シリコン-珪化ニッケル-アモルファスシリコンという3元系のエネルギー等をシミュレーションした結果、アモルファスシリコンは珪化ニッケルとの界面で容易に反応して、アモルファスシリコン（シリコンA）+珪化ニッケル（シリコンB）→珪化ニッケル（シリコンA）+結晶シリコン（シリコンB）

（シリコンA、Bはシリコンの位置を示す）

という反応が生じることが明らかになった。この反応のポテンシャル障壁は十分に低く、反応の温度も低い。この反応式は、ニッケルがアモルファスシリコンを結晶シリコンに造り変えながら進行してゆくことを示している。実際には、580℃以下で、反応が開始され、450℃でも反応が観測されることが明らかになった。当然

のことであるが、温度が高いほど反応の進行する速度が速い。また、同様な効果は、上記に示した他の金属元素でも認められた。

【0025】本発明では、島状、ストライプ状、線状、ドット状、膜状のニッケルを始めとする上記金属単体やそれらの珪化物など、Ni、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agの少なくとも1つを含有する膜、粒子、クラスター等を出発点として、ここからこれらの金属元素が上記の反応を伴って周囲に展開してゆくことによって、結晶シリコンの領域を拡げてゆく。なお、これらの金属元素を含有する材料としては、酸化物は好ましくない。これは、酸化物は安定な化合物で、上記反応を開始することができないからである。

【0026】このように特定の場所から拡がった結晶シリコンは、従来の固相エピタキシャル成長とは異なるが、結晶性の連続性のよい、単結晶に近い構造を有するものであるので、TF T、ダイオード、抵抗等の半導体素子に利用するうえでは都合がよい。しかし、基板上に均一にニッケル等の結晶化を促進する上記金属を含む材料を設けた場合には、結晶化の出発点が無数に存在して、そのため結晶性の良好な膜を得ることは難しかった。

【0027】また、この結晶化の出発材料としてのアモルファスシリコン膜は水素濃度が少ないほど良好な結果が得られた。ただし、結晶化の進行にしたがって、水素が放出されるので、得られたシリコン膜中の水素濃度は、出発材料のアモルファスシリコン膜の水素濃度とはそれほど明確な相関は見られなかった。本発明による結晶シリコン中の水素濃度は、典型的には0.01原子%以上5原子%以下であった。

【0028】本発明ではNi、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agを用いるが、一般にこれらの材料は半導体材料としてのシリコンにとっては好ましくない。そこで、これを除去することが必要であるが、ニッケルに関しては、上記の反応の結果、結晶化の終端に達した珪化ニッケルはフッ酸もしくは塩酸またはこれらの希釈液に容易に溶解するので、これらの酸による処理によって基板からニッケルを減らすことができる。さらに、積極的にこれらの金属元素を減らすには、結晶化工程の終了した後、塩化水素、各種塩化メタン（ $\text{CH}_3\text{Cl}$ 、 $\text{CH}_2\text{Cl}_2$ 、 $\text{CHCl}_3$ ）、各種塩化エタン（ $\text{C}_2\text{H}_5\text{Cl}$ 、 $\text{C}_2\text{H}_4\text{Cl}_2$ 、 $\text{C}_2\text{H}_3\text{Cl}_3$ 、 $\text{C}_2\text{H}_2\text{Cl}_4$ 、 $\text{C}_2\text{HCl}_5$ ）あるいは各種塩化エチレン（ $\text{C}_2\text{H}_3\text{Cl}$ 、 $\text{C}_2\text{H}_2\text{Cl}_2$ 、 $\text{C}_2\text{HCl}_3$ ）等の塩素を含む雰囲気中で、400～600℃で処理すればよい。特に、トリクロロエチレン（ $\text{C}_2\text{HCl}_3$ ）は使用しやすい材料である。本発明によるシリコン膜中のNi、Fe、Co、Ru、Rh、Pd、Os、I

r、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agの濃度は、典型的には0.005原子%以上1原子%以下であった。

【0029】本発明によって作製した結晶シリコン膜をTFT、ダイオード、抵抗等の半導体素子に利用する上で、上記の説明から明らかなように、結晶化の終端（ここは、複数の出発点から開始された結晶化がぶつかる部分であるが）では、大きな粒界（結晶性の不連続な部分）が存在し、また、ニッケル等の結晶化を促進する金属元素の濃度が高いので、半導体素子を設けることは好ましくない。したがって、本発明を利用して半導体素子を形成するにあたっては、結晶化の出発点となるニッケル等の結晶化を促進する金属元素含有物被膜のパターンと半導体素子のパターンとを最適化しなければならない。

【0030】本発明において、結晶化を促進する金属元素のパターニングには、大きく分けて2つの方法がある。第1の方法はアモルファスシリコン膜の成膜の前にこれらの金属膜等を選択的に形成する方法である。第2の方法は、アモルファスシリコン膜成膜後にこれらの金属膜等を選択的に形成する方法である。

【0031】第1の方法においては、通常の写真リソグラフィーの手段あるいはリフトオフの手段を用いればよい。第2の方法はやや複雑である。この場合、アモルファスシリコン膜に密着して結晶化促進の金属膜等を形成するとその成膜時に金属とアモルファスシリコンが一部反応して、珪化物が形成されてしまう。したがって、金属膜等を形成した後にパターニングをおこなう場合には、このような珪化物層も十分にエッチングすることが必要である。

【0032】第2の方法において、リフトオフ的な手法は比較的容易である。この場合、マスク材としてフォトリソ材料等の有機材料や酸化珪素、窒化珪素等の無機材料を用いればよい。マスク材料の選択にはプロセス温度を考慮しなければならない。また、マスク作用は材料によって異なるので、十分に注意しなければならない。特に各種CVD法によって形成される酸化珪素、窒化珪素等の膜はピンホールが多く、膜厚が十分でないと、意図しない部分から結晶化が進行することがある。一般的にはこれらのマスク材料を用いて、被膜を形成した後、パターニングを施して、選択的にアモルファスシリコンの表面を露出させる。そして、結晶化を促進する金属膜等を成膜する。

【0033】本発明において、注意しなければならないことはシリコン膜中の金属元素の濃度である。量が少ないことに越したことはないが、それ以上に、常に量が一定に保たれることも重要である。すなわち、金属元素の量の変動が多ければ、製造現場でロットごとに結晶化の度合いに大きな変動が生じるからである。特に、金属元素の量が少ないことが要求されると、量の変動を小さく

することはますます困難となる。

【0034】第1の方法においては、選択的に形成された金属膜等はアモルファスシリコン膜に覆われているので、後で、それを取り出して量を加減することはできない。特に、本発明で必要とされる金属元素の量から換算すると、金属膜等の厚さは数〜数10Åという小さなもので、再現性良く成膜することは難しい。

【0035】第2の方法においても同様である。しかし、第2の方法においては結晶化を促進する金属膜等は表面に存在するので、第1の方法に比べればまだ、改善の余地はある。すなわち、十分に厚い金属膜を成膜し、アニールの前にアニール温度よりも低い温度で熱処理（プレアニール）をおこなうことによってアモルファスシリコン膜の一部と金属膜を反応させて珪化物を形成する。その後、反応しなかった金属膜をエッチングする。用いる金属の種類によるが、特にNi、Fe、Co、Ti、Crは金属膜と珪化物のエッチングレートが十分に大きいエッチャントがあるので、問題はない。

【0036】この場合には、熱処理（プレアニール）の温度と時間によって、得られる珪化物層の厚さが決定される。金属膜の厚さはほとんど関係ない。このため、アモルファスシリコン膜中に導入される非常に微量な金属元素の量を制御することができる。

【0037】また本発明は、結晶性シリコンTFTを450〜1000℃、好ましくは500〜800℃の温度によって酸素または水素または窒素を含む雰囲気中で結晶化せしめる際に、半導体表面が酸化珪素や窒化珪素等の被膜（カバー膜）によって覆われている場合と覆われていない場合で、結晶化の程度に違いがあることを利用する。前記雰囲気は酸素を含む雰囲気、水素を含む雰囲気、窒素を含む雰囲気、酸素と水素を含む雰囲気、酸素と窒素を含む雰囲気、水素と窒素を含む雰囲気、または、酸素と水素と窒素を含む雰囲気である。前記結晶化は、（1）A時間酸素を含む雰囲気中で加熱を行いその後B時間水素を含む雰囲気中で加熱を行なう。（2）C時間酸素を含む雰囲気中で加熱を行いその後D時間窒素を含む雰囲気中で加熱を行なう。（3）E時間水素を含む雰囲気中で加熱を行いその後F時間酸素を含む雰囲気中で加熱を行なう。（4）G時間水素を含む雰囲気中で加熱を行いその後H時間窒素を含む雰囲気中で加熱を行なう。（5）I時間窒素を含む雰囲気中で加熱を行いその後J時間酸素を含む雰囲気中で加熱を行なう。（6）K時間窒素を含む雰囲気中で加熱を行いその後L時間水素を含む雰囲気中で加熱を行なう。（7）M時間酸素を含む雰囲気中で加熱を行いその後N時間水素を含む雰囲気中で加熱を行ないその後P時間窒素を含む雰囲気中で加熱を行なう。（8）Q時間酸素を含む雰囲気中で加熱を行いその後R時間窒素を含む雰囲気中で加熱を行ないその後S時間水素を含む雰囲気中で加熱を行なう。

（9）T時間水素を含む雰囲気中で加熱を行いその後U

時間酸素を含む雰囲気中で加熱を行ないその後V時間窒素を含む雰囲気中で加熱を行なう。(10)W時間水素を含む雰囲気中で加熱を行ないその後X時間窒素を含む雰囲気中で加熱を行ないその後Y時間酸素を含む雰囲気中で加熱を行なう。(11)Z時間窒素を含む雰囲気中で加熱を行ないその後A'時間酸素を含む雰囲気中で加熱を行ないその後B'時間水素を含む雰囲気中で加熱を行なう。または、(12)C'時間窒素を含む雰囲気中で加熱を行ないその後D'時間水素を含む雰囲気中で加熱を行ないその後E'時間酸素を含む雰囲気中で加熱を行なう。特に、(4)G時間水素を含む雰囲気中で加熱を行ないその後H時間窒素を含む雰囲気中で加熱を行なう。

(5)I時間(例えば4時間)窒素を含む雰囲気中で加熱を行ないその後J時間(例えば1時間)酸素を含む雰囲気中で加熱を行なう。または、(6)K時間(例えば4時間)窒素を含む雰囲気中で加熱を行ないその後L時間

(例えば1時間)水素を含む雰囲気中で加熱を行なう。のが好ましい。一般にカバー膜が存在する場合には、結晶性が良好で、当然の帰結として移動度の高いTFTが得られる。その代わり、一般的にはリーク電流が大きくなる。一方、カバー膜の無いものでは、結晶性は良くなり、温度によってはアモルファス状態となるので、移動度が低いが、リーク電流も低いという特徴を持つ。

【0038】この特性は熱結晶化の際に、雰囲気中の水素または酸素または窒素が活性層中に侵入することの有無によって支配されているものと考えられる。この結晶化は例えば窒素中で結晶化を行ないその後水素または酸素中で結晶化を行なってもよい。このように、異なった特性のTFTを同一プロセスで同一基板上に同時に形成でき、例えば、前者の高移動度TFTをマトリクス部の駆動回路に、後者の低リーク電流のTFTをマトリクス部のTFTとして利用できる。

【0039】あるいは、CMOS回路において、NMOS領域にはカバー膜を設けず、PMOS領域にはカバー膜を設けることによって、NMOSの移動度をPMOSの移動度に比べて、相対的に減らし、最適な条件では両者の差をほとんどなくすることができる。

【0040】本発明において、熱結晶化の温度は重要なパラメータであり、この温度によって、TFTの結晶性は決定される。一般に、熱アニールの温度は、基板やその他の材料によって制約を受ける。基板材料の制約に関しては、シリコンや石英を基板として使用した場合には、最高1100℃の熱アニールまで可能である。しかし、典型的な無アルカリガラスであるコーニング社の7059ガラスの場合には、650℃以下の温度でのアニールが望ましい。ただし、前述の理由から、本発明では、基板以外に、各TFTにおいて必要とされる特性を考慮して設定されなければならない。一般に、アニール温度が高ければTFTの結晶成長が進み、移動度が高くなるとともに、リーク電流が増大する。したがって、本

発明のごとき、同一基板上に異なる特性のTFTを得るには、アニールの温度は、450~1000℃、好ましくは500~800℃とすべきである。

【0041】本発明の1つの例は、液晶等の電気光学装置のアクティブマトリクス回路の表示部分において、ポリシリコンTFTをスイッチングトランジスタとして用い、活性層の結晶化の際にアクティブマトリクス領域にはカバー膜を設けず、一方、周辺回路領域にはカバー膜を設けることによって、前者を低リーク電流TFT、後者を高移動度TFTとするものである。

【0042】前記のような表示回路部(アクティブマトリクス)とその駆動回路(周辺回路)とを有する装置の概念図を図8(A)に示した。図には絶縁基板107上にデータドライバー101とゲートドライバー102が構成され、また、中央部にTFTを有するアクティブマトリクス103が構成され、これらのドライバー部とアクティブマトリクスとがゲート線105、データ線106によって接続された表示装置が示されている。アクティブマトリクス103はNMOSあるいはPMOSのTFT(図面ではPMOS)を有する画素セル104の集合体である。

【0043】ドライバー部のCMOS回路に関しては、高移動度を得るために活性層における酸素や窒素、炭素等の不純物の濃度は $10^{18}\text{cm}^{-3}$ 以下、好ましくは $10^{17}\text{cm}^{-3}$ 以下とすることが望まれる。その結果、例えば、TFTのしきい値電圧は、NMOSでは0.5~2V、PMOSでは-0.5~-3V、さらに移動度は、NMOSでは $30\sim150\text{cm}^2/\text{Vs}$ 、PMOSでは $20\sim100\text{cm}^2/\text{Vs}$ であった。

【0044】一方、アクティブマトリクス部においては、リーク電流が、ドレイン電圧1Vで1pA程度の小さな素子を単独もしくは複数直列にして用いることによって、補助容量を小さくすることができ、さらには全く不必要とすることができた。

【0045】本発明の2つめの例はDRAMのような半導体メモリに関するものである。半導体メモリ装置は、単結晶ICでは既に速度の限界に達している。これ以上の高速動作をおこなわせるには、トランジスタの電流容量をより大きくすることが必要であるが、それは消費電流の一段の増加の原因になるばかりではなく、特にキャパシタに電荷を蓄えることによって記憶動作をおこなうDRAMに関しては、キャパシタの容量をこれ以上、拡大できない以上、駆動電圧を上げることによって対応するしか方法がない。

【0046】単結晶ICが速度の限界に達したといわれるのは、一つには基板と配線の容量によって、大きな損失が生じているからである。もし、基板に絶縁物を使用すれば、消費電流をあげなくとも十分に高速な駆動が可能である。このような理由からSOI(絶縁物上の半導体)構造のICが提案されている。

【0047】DRAMにおいても、1Tr/セル構造の場合には、先の液晶表示装置と回路構成がほとんど同じであり、それ以外の構造のDRAM（例えば、3Tr/セル構造）でも、活性層の結晶化の際に、記憶ビット部にはカバー膜を設けず、一方、その駆動回路は十分な高速動作を必要とされるので、前記の液晶表示装置と同様に、その領域にはカバー膜を設けることによって、前者を低リーク電流TFTとし、また、後者を高リーク電流TFTとするものである。

【0048】このような半導体メモリー装置においても、基本的なブロック構成は図8（A）のものと同じである。例えば、DRAMにおいては、101がコラムデコーダー、102がローデコーダー、103が記憶素子部、104が単位記憶ビット、105がビット線、106がワード線、107が（絶縁）基板である。

【0049】本発明の第3の応用例は、イメージセンサ等の駆動回路である。図8（B）には、イメージセンサの1ビットの回路例を示したが、図中のフリップ・フロップ回路108およびバッファ回路109は、通常、CMOS回路によって構成され、走査線に印加される高速パルスに追従できるだけの高速の応答が要求される。一方、その信号出力段のTFT110は、フォトダイオードによってキャパシタに蓄積された電荷をシフトレジスタ部108、109からの信号によって、データ線に放出するダムの役目を負っている。

【0050】このようなTFT110には、高速応答もさることながら、リーク電流の少ないことも要求される。したがって、このような回路において、回路108、109のTFTの領域にはカバー膜を設けて結晶化することによって高移動度TFTとし、一方のTFT110においては、その領域にはカバー膜を設けずに結晶化をおこなうことによって、低リーク電流TFTとするものである。

【0051】本発明において、カバー膜としては酸化珪素、窒化珪素、あるいは酸化窒化珪素（ $\text{SiN}_x\text{O}_y$ ）を使用できる。カバー膜は厚ければ厚いほどカバー能力がよいが、厚い膜を成膜するには時間がかかるので、厚さは量産性とカバー能力を考慮して決定されなければならない。カバー能力は膜質によって異なるが、典型的には酸化珪素膜で20nm以上、窒化珪素膜で10nm以上が必要である。量産性と信頼性を考慮すると、いずれも20～200nmが適当である。

【0052】

【実施例】

【実施例1】 本実施例は、コーニング7059ガラス基板上の島状の複数のニッケル膜を形成し、これらを出発点としてアモルファスシリコン膜の結晶化をおこない、得られた結晶シリコン膜を用いてTFTを作製する方法について記述する。島状のニッケル膜を形成する方法には、それをアモルファスシリコン膜の上に設ける

か、下に設けるかという点で2つの方法がある。図2

（A-1）は下に設ける方法であり、図2（A-2）は上に設ける方法である。特に後者について注意しなければならないことは、アモルファスシリコン膜の全面にニッケルが形成された後にこれを選択的にエッチングするという工程となるので、ニッケルとアモルファスシリコンが少量ではあるが反応して、珪化ニッケルが形成されてしまう。これを残存させたままでは、本発明が目的とするような良好な結晶性のシリコン膜は得られないので、塩酸やフッ酸等で、この珪化ニッケルを十分に除去してしまうことが求められる。また、そのため、アモルファスシリコンは初期より薄くなる。

【0053】一方、前者についてはそのような問題は生じないが、この場合もエッチングによって、島状部分2以外のニッケル膜は完全に除去されることが望まれる。さらに、残存ニッケルの影響を抑えるためには、基板を酸素プラズマやオゾン等によって処理して、島状領域以外のニッケルを酸化させてしまえばよい。

【0054】いずれの場合も、基板（コーニング7059）1A上には、厚さ2000Åの下地酸化珪素膜1BをプラズマCVD法によって形成した。また、アモルファスシリコン膜1は厚さ200～3000Å、好ましくは500～1500Åとし、プラズマCVD法もしくは減圧CVD法によって作製した。アモルファスシリコン膜は350～450℃で0.1～2時間アニールすることによって水素出しをおこなって、膜中の水素濃度を5原子%以下にしておくことと結晶化しやすかった。図2（A-1）の場合には、アモルファスシリコン膜1の形成の前にスパッタ法によってニッケル膜を厚さ50～1000Å、好ましくは100～500Å堆積し、これをバターニングして島状ニッケル領域2を形成した。

【0055】一方、図2（A-2）の場合には、アモルファスシリコン膜1の形成の後にスパッタ法によってニッケル膜を厚さ50～1000Å、好ましくは100～500Å堆積し、これをバターニングして島状ニッケル領域2を形成した。この様子を上方から見た図面を図1（A）に示す。

【0056】島状ニッケルは一辺2μmの正方形で、その間隔は、5～50μm、例えば20μmとした。ニッケルの代わりに珪化ニッケルを用いても同様な効果が得られる。また、ニッケルの成膜時には基板を100～500℃、好ましくは180～250℃に加熱しておくことと良好な結果が得られた。これは下地の酸化珪素膜とニッケル膜とも密着性が向上することと、酸化珪素とニッケルが反応して、珪化ニッケルが生成するためである。酸化珪素のかわりに窒化珪素、炭化珪素、珪素を用いても同様な効果が得られる。

【0057】次に、これを450～580℃、例えば550℃で8時間窒素雰囲気中でアニールした。このアニールは窒素と水素の混合雰囲気中でおこなってもよい。

また、このアニールは、 $X_1$  時間水素雰囲気中で行ない、その後  $X_2$  時間窒素雰囲気中でおこなってもよい。図 2 (B) は、その中間状態で、図 2 (A) において、端のほうにあった島状ニッケル膜からニッケルが珪化ニッケル 3 A として中央部に進行し、また、ニッケルが通過した部分 3 は結晶シリコンとなっている。やがて、図 2 (C) に示すように 2 つの島状ニッケル膜から出発した結晶化がぶつかって、中間に珪化ニッケル 3 A が残って、結晶化が終了する。

【0058】図 1 (B) は、この状態の基板を上方から見た様子を示したもので、図 2 (C) の珪化ニッケル 3 A とは、粒界 4 のことである。さらにアニールを続けられ、ニッケルは粒界 4 に沿って移動して、これらの島状ニッケル領域（この段階では原形を留めていることはない）の中間領域 5 に集まる。

【0059】以上の工程で結晶シリコンを得ることができるが、このときに生じる珪化ニッケル 3 A からニッケルが半導体被膜中に拡散することは好ましくない。したがって、フッ酸もしくは塩酸でニッケルの集中している高濃度領域をエッチング除去することが望まれる。なお、フッ酸、塩酸によるエッチングでは、ニッケルおよび珪化ニッケルのエッチングレートは十分に大きいので、シリコン膜には影響を与えない。同時にニッケルの成長点があった領域をも合わせて除去した。エッチングした様子を図 2 (D) に示す。粒界のあった部分は溝 4 A となる。この溝を挟むように TFT の半導体領域（活性層等）を形成することは好ましくない。TFT の配置に関しては、その例を図 1 (C) に示すが、半導体領域 6 は粒界 4 を横切らないように配置した。すなわち、ニッケルの左右により、被膜の厚さ方向ではなく、基板に平行な方向に横方向の結晶成長の領域に TFT を形成することである。すると、結晶の成長方向も一様に揃い、また、残存ニッケルも極めて少なくできる。結果として高い TFT 特性を得ることができる。一方、ゲイト配線 7 は粒界 4 を横切ってもよい。

【0060】以上の工程で得られた結晶シリコンを用いて TFT を作製する例を図 3 および図 4 に示す。図 3

(A) において、中央部の X は、図 2 の溝 4 A のあった場所を意味する。図面に示すように、この X の部分には TFT の半導体領域が横切らないように配置した。すなわち、図 2 に示した工程で得られた結晶シリコン膜 3 をパターニングして、島状半導体領域 11 a、11 b を形成した。そして、RF プラズマ CVD 法、ECR プラズマ CVD 法、スパッタリング法等の方法によってゲイト絶縁膜として機能する酸化珪素膜 12 を形成した。

【0061】さらに、減圧 CVD 法によって、燐が  $1 \times 10^{20} \sim 5 \times 10^{20} \text{ cm}^{-3}$  ドープされた厚さ  $3000 \sim 6000 \text{ \AA}$  の多結晶シリコン膜を形成し、これをパターニングして、ゲイト電極 13 a、13 b を形成した。

(図 3 (A))

【0062】次に、プラズマドーピング法によって不純物ドーブをおこなった。ドーピングガスとしては、例えば、N 型にはフォスフィン ( $\text{PH}_3$ ) を、P 型にはジボラン ( $\text{B}_2\text{H}_6$ ) を用いた。図では N 型 TFT を示す。加速電圧は、フォスフィンが  $80 \text{ keV}$ 、ジボランは  $65 \text{ keV}$  とした。さらに  $550^\circ\text{C}$  で 4 時間アニールすることによって、不純物の活性化をおこない、不純物領域 14 a  $\sim$  14 d を形成した。活性化にはレーザーアニールもしくはフラッシュランプアニールのような光エネルギーを使用する方法も用いることができる。(図 3 (B))

【0063】最後に、通常の TFT 作製と同様に層間絶縁物 15 として、厚さ  $5000 \text{ \AA}$  の酸化珪素膜を堆積し、これにコンタクトホールを形成してソース領域、ドレイン領域に配線・電極 16 a  $\sim$  16 d を形成した。

(図 3 (C))

以上の工程によって TFT (図では N チャネル型) が作製された。得られた TFT の電界効果移動度は N チャネル型で  $40 \sim 60 \text{ cm}^2/\text{Vs}$ 、P チャネル型で  $30 \sim 50 \text{ cm}^2/\text{Vs}$  であった。

【0064】図 4 には、アルミニウムゲイトの TFT 作製をおこなった場合を示す。図 4 (A) において、中央部の X は、図 2 の溝 4 A のあった場所を意味する。図面に示すように、この X の部分には TFT の半導体領域が横切らないように配置した。すなわち、図 2 に示した工程で得られた結晶シリコン膜 3 をパターニングして、島状半導体領域 21 a、21 b を形成した。そして、RF プラズマ CVD 法、ECR プラズマ CVD 法、スパッタリング法等の方法によってゲイト絶縁膜として機能する酸化珪素膜 22 を形成した。プラズマ CVD 法を採用する場合には、原料ガスは TEOS (テトラ・エトキシ・シラン) と酸素を用いると好ましい結果が得られた。そして、1% のシリコンを含むアルミニウム膜 (厚さ  $5000 \text{ \AA}$ ) をスパッタ法によって堆積し、これをパターニングしてゲイト配線・電極 23 a、23 b を形成した。

【0065】次に、基板を 3% の酒石酸のエチレングリコール溶液に浸し、白金を陰極として、アルミニウム配線を陽極とし、これに電流を流して陽極酸化をおこなった。電流は最初は、 $2 \text{ V/分}$  で電圧が上昇するように印加し、 $220 \text{ V}$  に達したところで電圧を一定とし、電流が  $10 \mu\text{A}/\text{m}^2$  以下になったところで電流を停止した。この結果、厚さ  $2000 \text{ \AA}$  の陽極酸化物 24 a、24 b が形成された。(図 4 (A))

【0066】次に、プラズマドーピング法によって不純物ドーブをおこなった。ドーピングガスとしては、N 型にはフォスフィン ( $\text{PH}_3$ ) を、P 型にはジボラン ( $\text{B}_2\text{H}_6$ ) を用いた。図には N チャネル型 TFT を示す。加速電圧は、フォスフィンが  $80 \text{ keV}$ 、ジボランは  $65 \text{ keV}$  とした。さらにこれをレーザーアニールすることによって、不純物の活性化をおこない、不純物領域 2

5a~25dを形成した。使用したレーザーは、KrFレーザー（波長248nm）で、250~300mJ/cm<sup>2</sup>のエネルギー密度のレーザー光を5ショット照射した。（図4（B））

【0067】最後に、通常のTFT作製と同様に層間絶縁物26として、厚さ5000Åの酸化珪素膜を堆積し、これにコンタクトホールを形成してソース領域、ドレイン領域に配線・電極27a~27dを形成した。

（図4（C））

得られたTFTの電界効果移動度はNチャネル型で60~120cm<sup>2</sup>/Vs、Pチャネル型で50~90cm<sup>2</sup>/Vsであった。また、このTFTを用いて作製されたシフトレジスタではドレイン電圧17Vで6MHz、20Vで11MHzでの動作が確認された。

【0068】〔実施例2〕 図5には、図4と同様にアルミニウムゲートのTFT作製をおこなった場合を示す。ただし、ここではアモルファスシリコンを活性層として用いた。図5（A）に示すように、基板31上に下地酸化珪素膜32を堆積し、さらに厚さ2000~3000Åのアモルファスシリコン膜33を堆積した。アモルファスシリコン膜には適当な量のP型もしくはN型不純物を混入させておいてもよい。そして、上記に示したように島状のニッケルもしくは珪化ニッケル被膜34A、34Bを形成し、この状態で550℃、8時間または600℃、4時間アニールすることによってアモルファスシリコン膜を横成長により結晶化させた。

【0069】次に、このようにして得られた結晶シリコン膜を図5（B）に示すようにパターンニングした。このとき、図の中央部（ニッケルもしくは珪化ニッケル被膜34A、34Bの中間部）のシリコン膜にはニッケルが多量に含まれているので、これを除くようにパターンニングして、島状シリコン領域35A、35Bを形成した。さらに、その上に実質真性なアモルファスシリコン膜36を堆積した。その後、図5（C）に示すようにゲイト絶縁膜37として窒化珪素、酸化珪素等の材料で被膜を形成し、ゲイト電極38をアルミニウムによって形成し、図4の場合と同様に陽極酸化をおこない、イオンドーピング法によって不純物を拡散させて不純物領域39A、39Bを形成する。さらに、層間絶縁物40を堆積し、コンタクトホールを形成し、金属電極41A、41Bをソース、ドレインに形成してTFTが完成する。このTFTでは活性層の厚さに比べて、ソース、ドレインの部分の半導体膜が厚く、また、抵抗率が小さいことが特徴で、この結果、ソース、ドレイン領域の抵抗が減少し、TFTの特性が向上する。また、コンタクトの形成も容易である。

【0070】〔実施例3〕 図6には、CMOS型のTFT作製をおこなった場合を示す。図6（A）に示すように、基板51上に下地酸化珪素膜52を堆積し、さらに厚さ1000~1500Åのアモルファスシリコン膜

53を堆積した。そして、上記に示したように島状のニッケルもしくは珪化ニッケル被膜54を形成し、この状態で550℃でアニールする。この工程によって、珪化シリコン領域55が被膜の厚さ方向ではなく、平面方向に移動し、結晶化が進行する。4時間のアニールによって、図6（B）に示すように、アモルファスシリコン膜は結晶シリコンに変化する。また、結晶化の進行によって珪化シリコン59A、59Bは端に追いやられる。

【0071】次に、このようにして得られた結晶シリコン膜を図6（B）に示すようにパターンニングして島状シリコン領域56を形成した。このとき、島状領域の両端はニッケルの濃度が大きいことに注意すべきである。島状シリコン領域形成後、ゲイト絶縁膜57、ゲイト電極58A、58Bを形成した。

【0072】その後、図5（C）に示すように、イオンドーピング法によって不純物を拡散させてN型の不純物領域60AとP型の不純物領域60Bを形成する。この際には、例えば、N型不純物として燐（ドーピングガスはフォスフィンPH<sub>3</sub>）を用い、60~110kVの加速電圧で全面にドーピングをおこない、次に、フォトリジストでNチャネル型TFTの領域を覆って、P型不純物、例えばホウ素（ドーピングガスはジボランB<sub>2</sub>H<sub>6</sub>）を用い、40~80kVの加速電圧でドーピングすればよい。

【0073】ドーピング終了後、図4の場合と同様にレーザー光の照射によって、ソース、ドレインの活性化をおこない、さらに、層間絶縁物61を堆積し、コンタクトホールを形成し、金属電極62A、62B、62Cをソース、ドレインに形成してTFTが完成する。

【0074】〔実施例4〕 図7に本実施例を示す。本実施例は、ニッケル膜とアモルファスシリコン膜の一部を最初の熱処理（プレアニール）によって反応させて珪化物を得て、さらに未反応のニッケル膜を除去してから、アニールをおこなって、結晶化させる方法に関するものである。

【0075】基板（コーニング7059番）701上に、下地の酸化珪素膜（厚さ2000Å）をスパッタ法によって形成した。そして、プラズマCVD法によって、厚さ300~800Å、例えば500Åのシリコン膜703を成膜した。さらに、プラズマCVD法によって酸化珪素膜704を形成した。この酸化珪素膜704はマスク材となる。厚さは500~2000Åが好ましかった。あまりに薄いとピンホールによって意図しない箇所から結晶化が進行し、また、厚すぎると成膜に時間がかかり、量産に適さない。ここでは1000Åとした。

【0076】その後、公知のフォトリソグラフィ工程によって酸化珪素膜704をパターンニングした。そして、スパッタ法によってニッケル膜（厚さ500Å）705を形成した。ニッケル膜の厚さは100Å以上が好



ましかった。(図 7 (A))

そして、窒素雰囲気中で 250~450℃で 10~60 分アニールした(プレアニール工程)。例えば、450℃で 20 分アニールした。この結果、アモルファスシリコン中に珪化ニッケル層 706 が形成された。この層の厚さは、プレアニールの温度と時間によって決定され、ニッケル膜 705 の厚さはほとんど関与しなかった。

(図 7 (B))

【0077】その後、ニッケル膜をエッチングした。エッチングには硝酸系もしくは塩酸系の溶液が適していた。これらのエッチャントでは、ニッケル膜のエッチング中には、珪化ニッケル層はほとんどエッチングされなかった。本実施例では硝酸に緩衝剤として酢酸を加えたエッチャントを用いた。比率は硝酸：酢酸：水=1：10：10とした。ニッケル膜を除去した後、550℃、4~8時間アニールした(結晶化アニール工程)。

【0078】結晶化アニール工程においてはいくつかの方法を試みた。第1の方法は、図 7 (C) のようにマスク材 704 を残したままおこなう方法である。結晶化は図 7 (C) の矢印のように進行する。第2は、マスク材を全て除去して、シリコン膜を露出させてアニールをおこなう方法である。第3は、図 7 (D) のようにマスク材を除去したのち、新たに酸化珪素や窒化珪素の被膜 707 を保護膜としてシリコン膜表面に形成したのちアニールをおこなう方法である。

【0079】第1の方法は簡単な方法であるが、プレアニールの段階でマスク材 704 の表面がニッケルと反応しており、これがより高温の結晶化アニール工程で珪酸塩となり、エッチングがしづらくなる。すなわち、シリコン膜とマスク材 704 のエッチングレートがほぼ同じ程度になるため後のマスク材の除去の際に、シリコン膜の露出された部分も大きくエッチングされ、基板上に段差が生じる。

【0080】第2の方法は極めて簡単であり、結晶化アニール工程前であれば、ニッケルとマスク材の反応が緩やかであるのでエッチングも容易である。しかし、結晶化アニールの際にシリコン表面が全面的に露出されているので、後に TFT 等を作製した場合の特性が悪化した。

【0081】第3の工程は確実に良質の結晶シリコン膜が得られるであるが、工程が増えて複雑であった。第3の方法の改良した第4の方法として、シリコン表面を露出した状態で炉に投入し、最初に 500~550℃で 1 時間程度、酸素気流中で加熱することによって表面に 20~60 Å の薄い酸化珪素膜を形成し、そのまま、酸素気流に切り換えて結晶化アニール条件とする方法を検討した。この方法では、結晶化の初期段階に酸化膜が形成され、しかも、この酸化の段階では珪化ニッケル層のごく近傍が結晶化されているだけで、後に TFT に使用する領域(図の右の部分)では結晶化が起こっていなかつ

た。このため、特に珪化ニッケル層 706 から遠い領域ではシリコン膜の表面が非常に平坦であった。特性は、第2の方法よりも向上し、ほぼ第3の方法と同じであった。

【0082】このようにして結晶シリコン膜を得た。その後、シリコン膜 703 をパターンニングした。かくして、ニッケルの高濃度の値の部分(成長元のある領域)、および成長点(図の矢印の先端の斜線部)を除去して、ニッケルの低濃度領域のみを残存させた。かくして、TFT の活性層に用いる島状のシリコン領域 708 を形成した。そして、これを覆って、厚さ 1200 Å の酸化珪素のゲイト絶縁膜 709 をプラズマ CVD 法によって形成した。さらに、燐ドーブシリコン膜(厚さ 600 Å)によってゲイト電極 710 と第1層の配線 711 を形成し、ゲイト電極 710 をマスクとして自己整合的に不純物を活性層 708 に注入し、ソース/ドレイン領域 712 を形成した。この後、可視・近赤外の強光を照射し、さらに結晶性を高めることは有効である。さらに、酸化珪素膜(厚さ 600 Å)をプラズマ CVD 法によって形成し、層間絶縁物 713 とした。最後に、この層間絶縁物にコンタクトホールを形成し、アルミニウム膜(厚さ 600 Å)によって第2層配線 714、ソース/ドレイン電極・配線 715 を形成した。以上の工程によって、TFT が完成された。(図 7 (E))

【0083】〔実施例 5〕 図 9 に本実施例を示す。本実施例は、TFT 型液晶電気光学表示装置の周辺回路およびアクティブマトリクス領域にポリシリコン TFT を形成したものである。

【0084】まず、石英基板等の耐熱性のあるガラス基板 120 上に、スパッタ法によって下地酸化膜 121 を厚さ 20~200 nm 堆積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマ CVD 法もしくは減圧 CVD 法によって、アモルファスシリコン膜を厚さ 30~50 nm 堆積した。このときには、アモルファスシリコン膜中の酸素および窒素の濃度は  $10^{18} \text{ cm}^{-2}$  以下、好ましくは  $10^{17} \text{ cm}^{-2}$  以下とする。この目的には減圧 CVD 法が適している。本実施例では、酸素濃度は  $10^{17} \text{ cm}^{-2}$  以下とした。このアモルファスシリコン膜の上に再びスパッタ法によってカバー膜としての酸化珪素膜(厚さ 100~150 nm)もしくは窒化珪素膜(30~100 nm)を形成し、これをパターンニングして、周辺回路領域にのみカバー膜 122 を残置せしめた。そして、酸素もしくは水素が 20~100 体積%含まれるアルゴンもしくは窒素雰囲気(600℃)中に 4~100 時間放置して結晶化せしめた。この結果、周辺回路領域のシリコン膜 123 A は結晶性が良好であり、画素領域のシリコン膜 123 B は結晶性が良くなかった。この様子を図 9 (A) に示す。

【0085】その後、図 9 (B) に示すように、シリコン膜を島状にパターンニングして、周辺回路 TFT 領域 1

24 Aと画素TFT領域124 Bを形成した。そして、スパッタ法等の手段によってゲイト酸化膜125を形成した。スパッタ法の代わりに、TEOS（テトラ・エトキシ・シラン）等を使用して、プラズマCVD法によって成膜してもよい。TEOSを使用した成膜には、成膜時あるいは成膜後に650℃以上の温度で0.5～3時間アニールすることが望ましい。

【0086】その後、厚さ200nm～2μmのN型シリコン膜をLPCVD法によって形成して、これをパターンニングし、各島状領域にゲイト電極126 A～126 Cを形成した。N型シリコン膜の代わりに、タンタル、クロム、チタン、タングステン、モリブテン等の比較的耐熱性の良好な金属材料を使用してもよい。

【0087】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン（PH<sub>3</sub>）をドーピングガスとして燐を注入し、その後、図の島状領域124 Aの右側およびマトリクス領域をフォトレジストで覆って、ジボラン（B<sub>2</sub>H<sub>6</sub>）をドーピングガスとして、島状領域124 Aの左側に砒素を注入した。ドーピング量は、燐は2～8×10<sup>15</sup>cm<sup>-2</sup>、砒素は4～10×10<sup>15</sup>cm<sup>-2</sup>とし、砒素のドーピング量が燐を上回るように設定した。このようにして、P型領域127 AとN型領域127 B、127 Cを形成した。

【0088】さらに、550～750℃で2～24時間アニールすることによって、活性化をおこなった。本実施例では、600℃で24時間熱アニールをおこなった。このアニール工程によって、イオンの注入された領域を活性化せしめることができた。

【0089】この工程はレーザーアニールによって実施することも可能である。特にレーザーアニールをおこなった場合には基板に対する熱的なダメージが小さいので、コーニング7059等の通常の無アルカリガラスを使用することも可能である。また、その際にはゲイト電極材料としてアルミニウム等の耐熱性の良くない材料も使用できる。以上の工程によって、P型の領域127 A、およびN型の領域127 B、127 Cが形成された。これらの領域のシート抵抗は200～800Ω/□であった。

【0090】その後、図9（C）に示すように、全面に層間絶縁物128として、スパッタ法によって酸化珪素膜を厚さ300～1000nm形成した。これは、プラズマCVD法による酸化珪素膜であってもよい。特に、TEOSを原料とするプラズマCVD法ではステップカバレッジの良好な酸化珪素膜が得られる。

【0091】その後、画素電極129として、スパッタ法によってITO膜を形成し、これをパターンニングした。そして、TFTのソース／ドレイン（不純物領域）にコンタクトホールを形成し、クロムもしくは窒化チタ

ンの配線130 A～130 Eを形成した。図9（C）には左側のNTFTとPTFTでインバータ回路が形成されていることが示されている。配線130 A～130 Eは、シート抵抗を下げるためクロムあるいは窒化チタンを下地とするアルミニウムとの多層配線であってもよい。最後に、水素中で200～350℃で0.5～2時間アニールして、シリコン活性層のダングリングボンドを減らした。以上の工程によって周辺回路とアクティブマトリクス回路を一体化して形成できた。本実施例では、典型的な移動度は、周辺回路部のNMOSで80cm<sup>2</sup>/Vs、PMOSで50cm<sup>2</sup>/Vs、画素TFT（NMOS）で5～30cm<sup>2</sup>/Vsであった。

【0092】〔実施例6〕 図10に本実施例を示す。本実施例は、CMOS回路において本発明を利用して、NMOSとPMOSの移動度の差を減少させたものである。まず、コーニング7059基板131上に、スパッタ法によって下地酸化膜132を厚さ20～200nm堆積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマCVD法もしくは減圧CVD法によって、アモルファスシリコン膜を厚さ50～250nm堆積した。このときには、アモルファスシリコン膜中の酸素および窒素の濃度は10<sup>18</sup>cm<sup>-2</sup>以下、好ましくは10<sup>17</sup>cm<sup>-2</sup>以下とする。この目的には減圧CVD法が適している。本実施例では、酸素濃度は10<sup>17</sup>cm<sup>-2</sup>以下とした。

【0093】そして、PMOSの領域にのみカバー膜133（酸化珪素膜、厚さ50～150nm）を設けた。そして、酸素もしくは水素を50%以上含むアルゴンもしくは窒素の雰囲気下で600℃で4～100時間アニールをおこなって、結晶化させた。この結果、カバー膜の下領域134 Aは結晶性が良かったが、カバー膜の無い領域134 Bの結晶性はあまり良くなかった。この様子を図10（A）に示す。

【0094】その後、これらのSi膜を島状にパターンニングし、図10（B）のように、PMOS領域135 AとNMOS領域135 Bを形成した。さらに、これらの島状領域を覆って、スパッタ法によって酸化珪素膜（厚さ50～150nm）を形成し、これをゲイト絶縁膜136とした。その後、厚さ200nm～2μmのアルミニウム膜をスパッタ法によって形成して、これをパターンニングし、さらにこれに電解溶液中で通電して、膜の上面および側面に陽極酸化膜を形成させた。以上の工程によって各島状領域にゲイト電極部137 A、137 Bを形成した。

【0095】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲイト電極部をマスクとして自己整合的に不純物を注入した。この際には、最初に全面にフォスフィン（PH<sub>3</sub>）をドーピングガスとして燐を注入し、その後、図の島状領域135 Bのみをフォトレジストで覆って、ジボラン（B<sub>2</sub>H<sub>6</sub>）をドーピ

ングガスとして、島状領域 135A に砒素を注入した。ドーズ量は、燐は  $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、砒素は  $4 \sim 10 \times 10^{15} \text{ cm}^{-2}$  とし、砒素のドーズ量が燐を上回るように設定した。

【0096】ドーピング工程によって、シリコン膜の結晶性が破壊されるが、そのシート抵抗は  $1 \text{ k} \Omega / \square$  程度とすることも可能であった。しかし、この程度のシート抵抗では大きすぎる場合には、さらに、 $600^\circ\text{C}$  で  $2 \sim 24$  時間アニールすることによって、より、シート抵抗を低下させることが可能である。また、レーザー光の如き強光を照射することによっても同様の効果が得られる。

【0097】以上の工程によって、P型の領域 138A、およびN型の領域 138B が形成された。これらの領域のシート抵抗は  $200 \sim 800 \Omega / \square$  であった。その後、全面に層間絶縁物 139 として、スパッタ法によって酸化珪素膜を厚さ  $300 \sim 1000 \text{ nm}$  形成した。これは、プラズマ CVD 法による酸化珪素膜であってもよい。特に、TEOS を原料とするプラズマ CVD 法ではステップカバレッジの良好な酸化珪素膜が得られる。

【0098】その後、TFT のソース／ドレイン（不純物領域）にコンタクトホールを形成し、アルミ配線 140A～140D を形成した。最後に、水素中で  $250 \sim 350^\circ\text{C}$  で 2 時間アニールして、シリコン膜のダングリングボンドを減らした。以上の工程によって得られた TFT の典型的な移動度は PMOS、NMOS とも  $60 \text{ cm}^2 / \text{Vs}$  であった。また、本実施例の工程を利用してシフトレジスタを作製したところ、ドレイン電圧  $20 \text{ V}$  で  $10 \text{ MHz}$  以上の動作を確認できた。

【0099】実施例 6 においては、PMOS のみをカバー膜で覆い、NMOS をカバー膜で覆わずに水素、酸素または窒素雰囲気中で加熱結晶化を行った。これとは逆に、NMOS のみをカバー膜で覆い、PMOS をカバー膜で覆わずに水素、酸素または窒素雰囲気中で加熱結晶化を行ってもよい。これによってより高速動作可能な NMOS とより低リーク電流の PMOS を得ることができ

【0100】〔実施例 7〕 図 11 に本実施例を示す。本実施例は、トランジスタとシリコン抵抗を組み合わせた回路に関するものである。不純物のドーパされたシリコンはトランジスタの保護回路として用いることができる。まず、コーニング 7059 基板 140 上に、スパッタ法によって下地酸化膜 141 を厚さ  $20 \sim 200 \text{ nm}$  堆積した。さらに、その上にモノシランもしくはジシランを原料とするプラズマ CVD 法もしくは減圧 CVD 法によって、アモルファスシリコン膜 142 を厚さ  $100 \sim 250 \text{ nm}$  堆積した。このときには、アモルファスシリコン膜中の酸素および窒素の濃度は  $10^{18} \text{ cm}^{-2}$  以下、好ましくは  $10^{17} \text{ cm}^{-2}$  以下とする。

【0101】さらに酸化珪素の保護膜 143（厚さ  $20$

$\sim 200 \text{ nm}$ ）を堆積して、アルゴンもしくは窒素の雰囲気下で  $600^\circ\text{C}$  で  $4 \sim 100$  時間アニールをおこなって、結晶化させた。この様子を図 11 (A) に示す。

【0102】その後、これらの Si 膜を島状にパターンニングし、図 11 (B) のように、トランジスタ領域 144A と抵抗領域 144B を形成した。さらに、これらの島状領域を覆って、スパッタ法によって酸化珪素膜（厚さ  $50 \sim 150 \text{ nm}$ ）を形成し、これをゲート絶縁膜 145 とした。その後、厚さ  $200 \text{ nm} \sim 2 \mu\text{m}$  のアルミニウム膜をスパッタ法によって形成して、これをパターンニングし、さらにこれに電解溶液中で通電して、膜の上面および側面に陽極酸化膜を形成させた。以上の工程によって各島状領域にゲート電極部 146 を形成した。

【0103】その後、イオンドーピング法によって、各 TFT の島状シリコン膜中に、ゲート電極部をマスクとして自己整合的に不純物、例えば燐を注入した。ドーズ量は、燐は  $2 \sim 8 \times 10^{15} \text{ cm}^{-2}$  とした。

【0104】上記のドーピング工程によって、不純物領域 147A と 147B が形成された。この 2 つの不純物領域は同じだけの不純物が注入されているので、このまま熱アニールすると同じ抵抗率を示す。しかしながら、例えば、前者では常に低抵抗が求められるのに対し、後者では高抵抗が求められることもある。そこで、図 11 (C) に示すようにカバー膜 148（酸化珪素膜、厚さ  $50 \sim 150 \text{ nm}$ ）をトランジスタ領域にのみ形成する。そして、酸素もしくは水素を  $50$  体積% 以上含むアルゴンもしくは窒素雰囲気において、 $550 \sim 650^\circ\text{C}$  で  $4 \sim 20$  時間アニールした。酸素や水素の代わりにフォスフィン ( $\text{PH}_3$ ) を用いてもよい。ただし、この場合にはアニールの温度が高すぎるとフォスフィンが熱分解して半導体中に拡散し、かえって抵抗率を低下させるので、アニール温度は  $800^\circ\text{C}$  以下とすることが望まれる。また、抵抗の不純物領域が P 型である場合にはジボラン ( $\text{B}_2\text{H}_6$ ) を使用してもよい。

【0105】以上の工程によって、トランジスタの不純物領域 147A のシート抵抗は  $200 \sim 800 \Omega / \square$  であったが、抵抗の不純物領域 147B は  $2 \text{ k} \sim 100 \text{ k} \Omega / \square$  であった。その後、全面に層間絶縁物 149 として、スパッタ法によって酸化珪素膜を厚さ  $300 \sim 1000 \text{ nm}$  形成した。これは、プラズマ CVD 法による酸化珪素膜であってもよい。特に、TEOS を原料とするプラズマ CVD 法ではステップカバレッジの良好な酸化珪素膜が得られる。

【0106】その後、TFT のソース／ドレイン（不純物領域）にコンタクトホールを形成し、アルミ配線 150A～150C を形成した。最後に、水素中で  $250 \sim 350^\circ\text{C}$  で  $0.5 \sim 2$  時間アニールして、シリコン膜のダングリングボンドを減らした。以上の工程によって、同じ厚さで同じだけの不純物の注入された領域のシート抵抗を異なるものとすることができた。

【0107】

【発明の効果】以上、述べたように、本発明はアモルファスシリコン結晶化の低温化、短時間化を促進するという意味で画期的なものであり、また、そのための設備、装置、手法は極めて一般的で、かつ量産性に優れたものである。実施例ではニッケルを中心に説明をおこなったが、同様な工程は、その他の結晶化促進金属元素、すなわち、Fe、Co、Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Agのいずれにも適用できるものである。

【0108】例えば、従来の固相成長法においては、少なくとも24時間のアニールが必要とされたために、1枚当たりの基板処理時間を2分とすれば、アニール炉は15本も必要とされたのであるが、本発明によって、4時間以内に短縮することができたので、アニール炉の数を1/6以下に削減することができる。このことによる生産性の向上、設備投資額の削減は、基板処理コストの低下につながり、ひいてはTFT価格の低下とそれによる新規需要の喚起につながるものである。このように本発明は工業上、有益であり、特許されるにふさわしいものである。また、本発明は、従来の結晶性シリコンTFTの作製プロセスにおいて、TFTの活性層の結晶化の条件をカバー膜の有無という最小の変更によって、課題を解決するものである。

【0109】本発明によって、特にダイナミックな回路およびそのような回路を有する装置の信頼性と性能を高めることができた。従来、特に液晶表示装置のアクティブマトリクスのような目的に対しては結晶性シリコンTFTはON/OFF比が低く、実用化にはさまざまな困難があったが、本発明によってそのような問題はほぼ解決されたと思われる。実施例では示さなかったが、単結晶半導体集積回路の立体化の手段として用いられるTFTにおいても本発明を実施することによって効果を挙げ

られることは明白であろう。

【0110】例えば、周辺論理回路を単結晶半導体上の半導体回路で構成し、その上に層間絶縁物を介してTFTを設け、これによってメモリー素子部を構成することもできる。この場合には、メモリー素子部を本発明のTFTを使用したDRAM回路とし、その駆動回路は単結晶半導体回路にCMOS化されて構成されている。しかも、このような回路をマイクロプロセッサに利用した場合には、メモリー部を2階に上げることになるので、面積を節約することができる。このように本発明は産業上、極めて有益な発明であると考えられる。

【図面の簡単な説明】

【図1】 実施例の工程の上面図を示す。(結晶化とTFTの配置)

【図2】 実施例の工程の断面図を示す。(選択的に結晶化する工程)

【図3】 実施例の工程の断面図を示す。(実施例1参照)

【図4】 実施例の工程の断面図を示す。(実施例1参照)

【図5】 実施例の工程の断面図を示す。(実施例2参照)

【図6】 実施例の工程の断面図を示す。(実施例3参照)

【図7】 実施例の工程の断面図を示す。(実施例4参照)

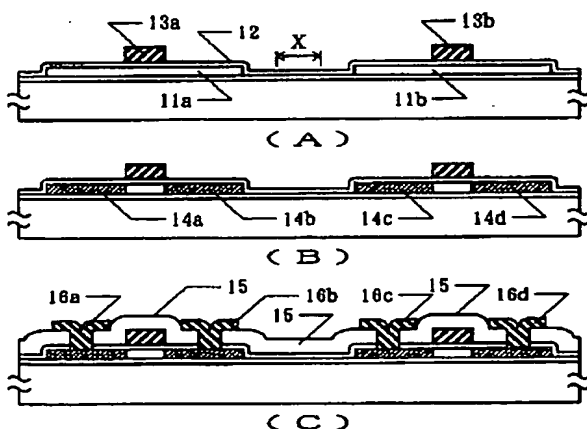
【図8】 (A) 本発明をアクティブマトリクス装置に応用した場合のブロック図を示す。(B) 本発明をイメージセンサーの駆動回路に応用した場合の回路例を示す。

【図9】 実施例の工程を示す。

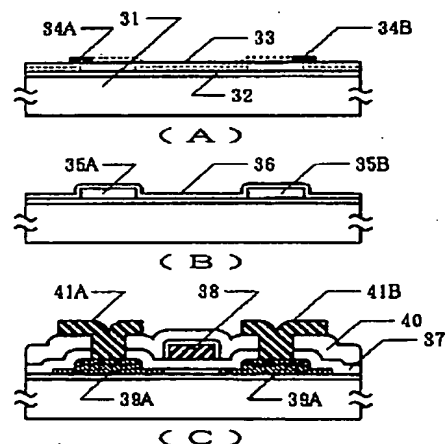
【図10】 実施例の工程を示す。

【図11】 実施例の工程を示す。

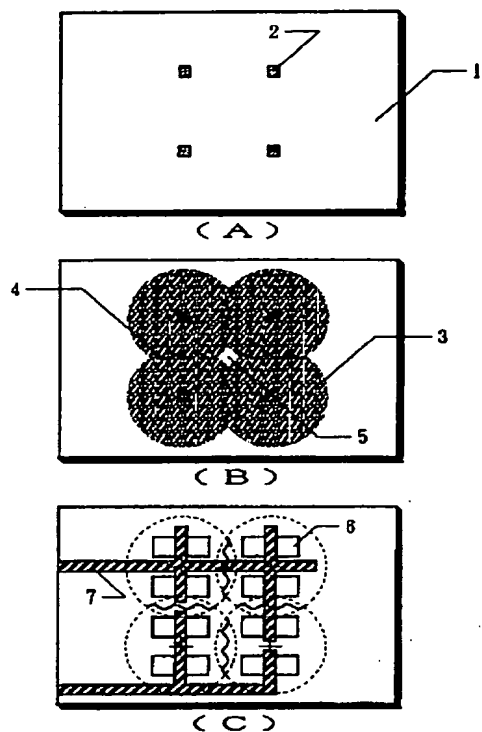
【図3】



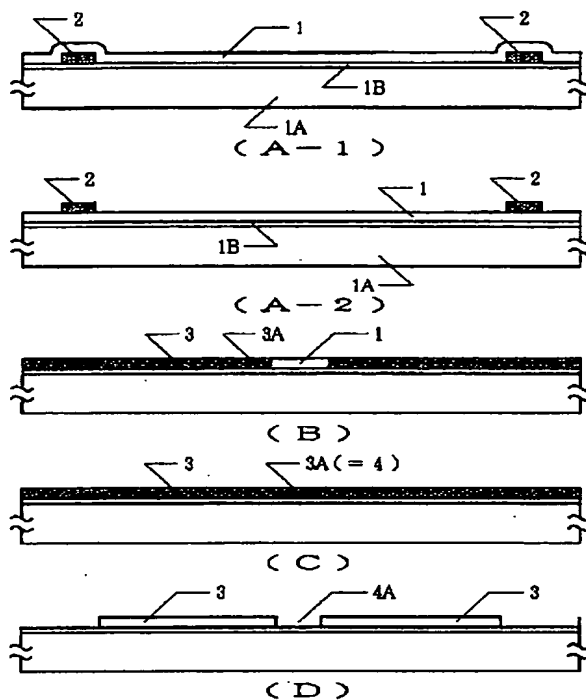
【図5】



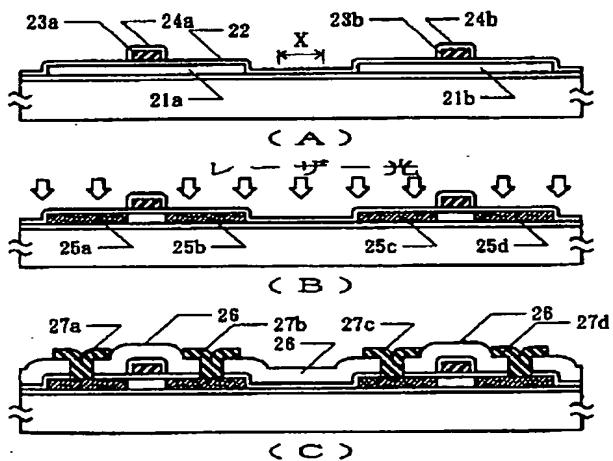
【図 1】



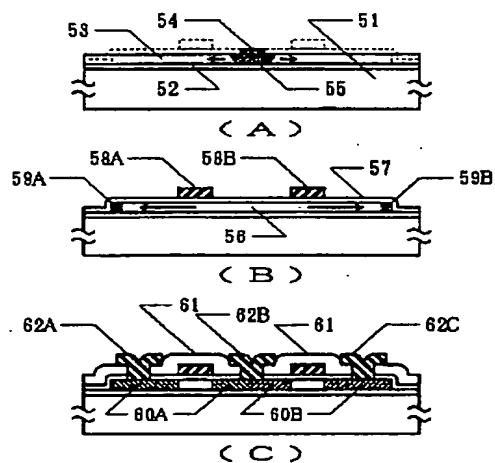
【図 2】



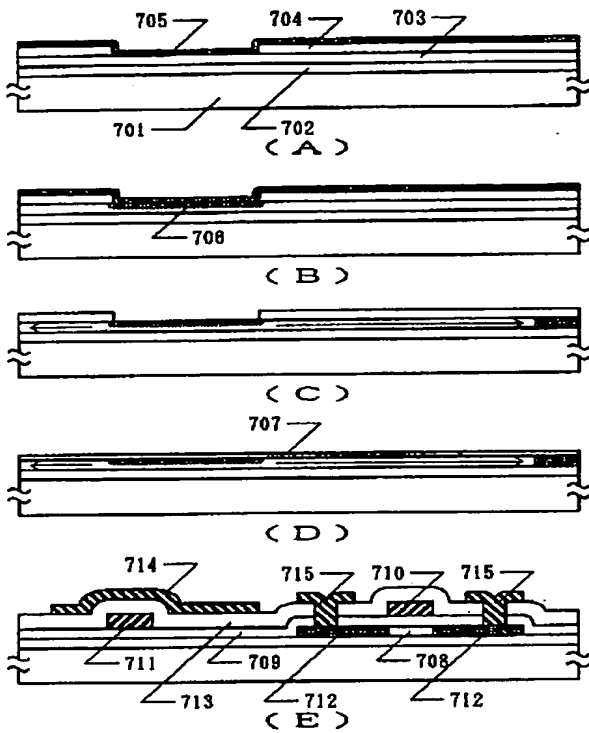
【図 4】



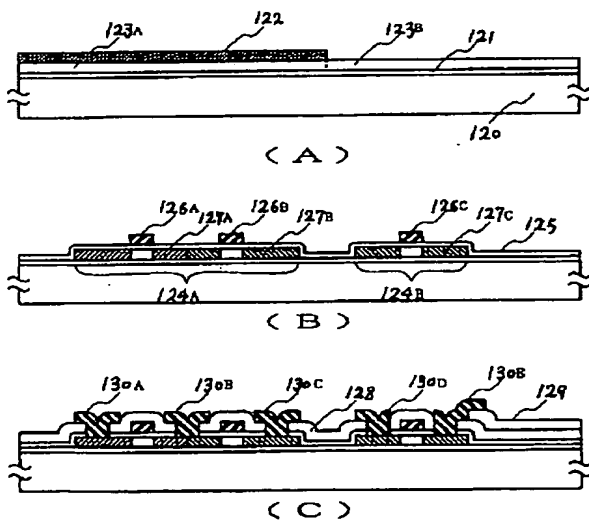
【図 6】



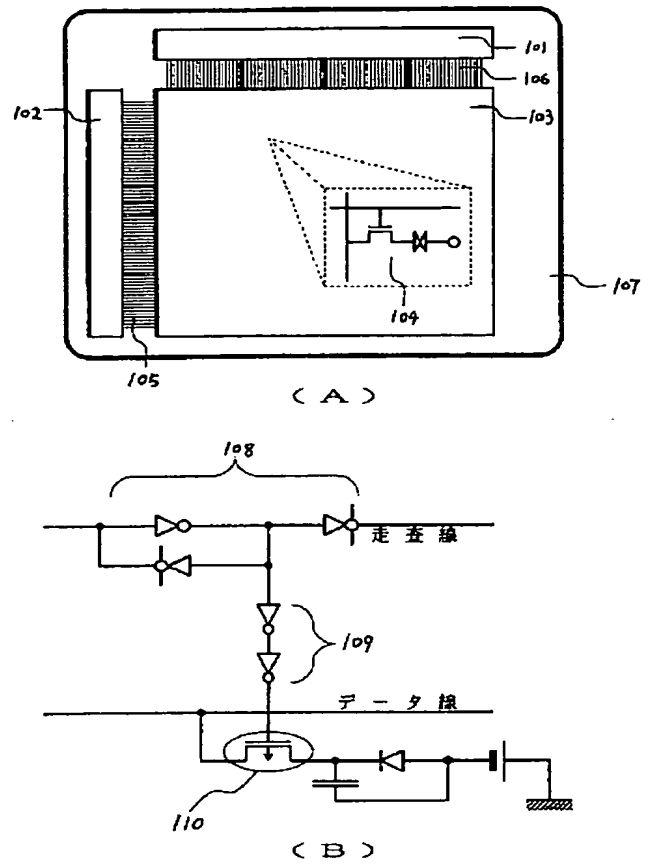
【図 7】



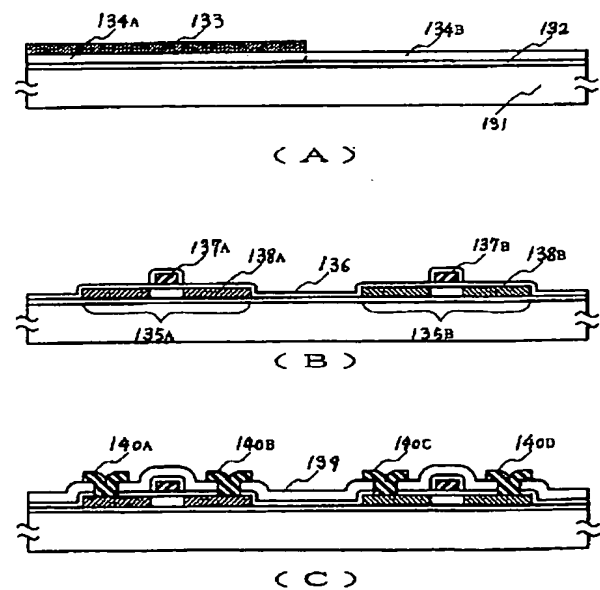
【図 9】



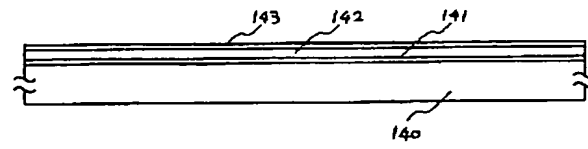
【図 8】



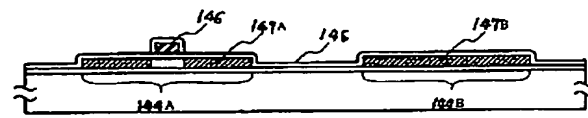
【図 10】



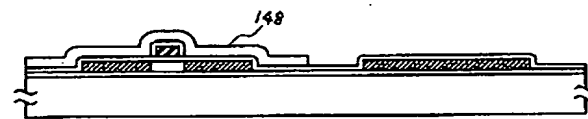
【図 11】



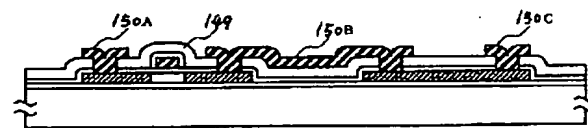
(A)



(B)



(C)



(D)